



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03080493 A**(43) Date of publication of application: **05.04.91**

(51) Int. Cl.

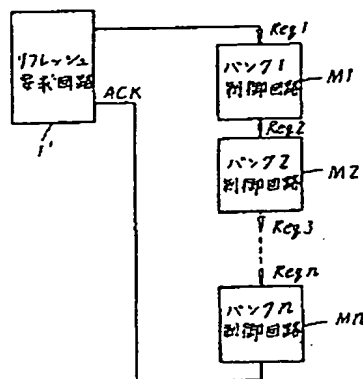
**G11C 11/406**(21) Application number: **01215379**(71) Applicant: **YOKOGAWA ELECTRIC CORP**(22) Date of filing: **22.08.89**(72) Inventor: **ITO MASAHIRO**(54) **MEMORY-REFRESH CIRCUIT**

COPYRIGHT: (C)1991,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To prevent the malfunction of a system by providing a bank control circuit in each memory bank, and supplying a refresh completion signal successively to the next stage of the bank, thereby eliminating overlapping of the refresh operation.

**CONSTITUTION:** When a refresh request signal Req 1 from a refresh request circuit 1 is supplied to the bank 1 control circuit  $M_1$ , the connected memory bank is refreshed by the circuit  $M_1$ . Next, when the refreshing is completed, the completion signal is supplied to the next stage of bank 2 control circuit  $M_2$  as a refresh request signal Req 2. After that the refreshing is similarly executed, thus to successively proceed to the bank (n) control circuit  $M_n$ . This operation is performed when the refresh request generates inside the circuit 1, and an acknowledge signal ACK is supplied to the circuit. In such a manner, since the memory bank of the circuits  $M_1$ - $M_n$  is not simultaneously refreshed and a large current does not flow in the circuit, the malfunction of the system is prevented.



**THIS PAGE BLANK (USPTO)**



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-80493

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)4月5日

G 11 C 11/406

8323-5B

G 11 C 11/34

3 6 3 K

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 メモリ・リフレッシュ回路

⑭ 特 願 平1-215379

⑮ 出 願 平1(1989)8月22日

⑯ 発 明 者 伊 藤 正 博 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑰ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑱ 代 理 人 弁理士 小沢 信助

#### 明 細 書

##### 1. 発明の名称

メモリ・リフレッシュ回路

##### 2. 特許請求の範囲

(1) 少なくとも2個以上のメモリ・バンクを順次リフレッシュするメモリ・リフレッシュ回路において、各々のメモリ・バンクに当該メモリ・バンクのリフレッシュ完了信号を次段のメモリ・バンクのリフレッシュ要求信号として供給するバンク制御回路を設け、最終段のメモリ・バンクのリフレッシュ完了信号をアクノリッジ信号として一定周期でリフレッシュ要求を発生するリフレッシュ要求回路に戻し、このリフレッシュ要求回路は内部でリフレッシュ要求が発生しかつ前記アクノリッジ信号が与えられた際に第1段の前記バンク制御回路にリフレッシュ要求信号を与えることを特徴とするメモリ・リフレッシュ回路。

##### 3. 発明の詳細な説明

###### <産業上の利用分野>

本発明は、複数個のメモリ・バンク、特にダイ

ナミックRAM(以下「DRAM」という)よりなるDRAMバンクのリフレッシュ時の誤動作を防止するようにしたメモリ・リフレッシュ回路に関するものである。

###### <従来の技術>

大容量のDRAMを一度にリフレッシュすると、大電流が流れ、グラウンドのインピーダンスにより電圧信号にノイズが重なることがあるため、従来は、第3図に示すように、大量のDRAM素子を複数個(第1図の例では3個)のメモリ・バンクm1、m2、m3に分割し、時間をずらしてリフレッシュするようにしている。

即ち、リフレッシュ要求回路1にはメモリ・バンクm1、m2、m3がそれぞれ接続され、リフレッシュ要求信号Req1、Req2、Req3を供給する。

リフレッシュ要求信号Req1、Req2、Req3の発生するタイミングは、第4図の通りであり、リフレッシュ要求回路1は、時間をずらして信号Req1、Req2、Req3を順次発生する。Tはリ

フレッシュ周期である。

#### <発明が解決しようとする課題>

第4図のタイミング発生図において、例えばタイミングt1にてメモリ・バンクm3にリフレッシュ要求信号Req3の発生とCPUのメモリ・アクセスとが重なったとする。

このとき、メモリ・アクセスを優先する場合は、リフレッシュ要求信号Req3は点線で示すように、タイミングt2まで延ばされる。

従って、タイミングt2では2個のメモリ・バンクm1、m3が同時にリフレッシュされることとなり、リフレッシュ電流が余分に必要となり、スパイク・ノイズが発生して誤動作の原因となることがある。特に、長時間メモリを占有するバースト・モードの場合は、このような複数個のメモリ・バンクの同時リフレッシュが起こりやすい。

更に、このタイミングt2にてCPUがメモリ・バンクm2にアクセスすると、3個のメモリ・バンクm1、m2、m3が同時に動作することになり、タイミングt2で流れる電流が許容範囲を

越え、動作が保証されなくなる。

本発明は、メモリ・バンクのリフレッシュ動作が重ならないようにすることを課題とし、メモリ・バンクを有するシステムに誤動作を引き起こさないようにすることを目的とする。

#### <課題を解決するための手段>

以上の課題を解決した本発明は、少なくとも2個以上のメモリ・バンクを順次リフレッシュするメモリ・リフレッシュ回路において、各々のメモリ・バンクに当該メモリ・バンクのリフレッシュ完了信号を次段のメモリ・バンクのリフレッシュ要求信号として供給するバンク制御回路を設け、最終段のメモリ・バンクのリフレッシュ完了信号をアクノリッジ信号として一定周期でリフレッシュ要求を発生するリフレッシュ要求回路に戻し、このリフレッシュ要求回路は内部でリフレッシュ要求が発生しかつ前記アクノリッジ信号が与えられた際に第1段の前記バンク制御回路にリフレッシュ要求信号を与えることを特徴とするメモリ・リフレッシュ回路である。

#### <作用>

本発明のメモリ・リフレッシュ回路は、次のように動作する。

各々のメモリ・バンクのリフレッシュ完了信号を次段のバンク制御回路に対するリフレッシュ要求信号とし、最終段のメモリ・バンクのリフレッシュ完了信号はアクノリッジ信号としてリフレッシュ要求回路に与えられる。リフレッシュ要求回路は、内部のリフレッシュ要求が発生し、かつアクノリッジ信号を検出すると、第1段目のバンク制御回路にリフレッシュ要求を与える。

#### <実施例>

第1図は本発明を実施したメモリ・リフレッシュ回路の構成ブロック図である。

この図において、リフレッシュ要求回路1'は、一定周期Tで内部でリフレッシュ要求Reqを発生する回路であり、メモリ・バンク(DRAMバンク)はn個接続される例とする。

バンク1制御回路M1、バンク2制御回路M2、…、バンクn制御回路Mnは、リフレッシュとメ

モリ・アクセスとの競合を制御し、それぞれ接続されるメモリ・バンクm1、m2、…、mn(図示せず)にリフレッシュ要求信号を供給するものとする。

リフレッシュ要求回路1'からのリフレッシュ要求信号Req1がバンク1制御回路M1に与えられると、バンク制御回路M1は通常のメモリ・アクセスとの競合を制御してメモリ・バンクm1のリフレッシュを行う。メモリ・バンクm1のリフレッシュが完了すると、バンク1制御回路M1はこの完了信号を次段のバンク2制御回路M2にリフレッシュ要求信号Req2として供給する。

同様にして、メモリ・バンクm2のリフレッシュが完了すると、バンク2制御回路M2によりこの完了信号は次段のバンク3制御回路M3に対するリフレッシュ要求信号Req3として与えられる。

以下、バンクn制御回路Mnまで、順次、バンク制御回路からのリフレッシュ完了信号が次段のバンク制御回路に対するリフレッシュ要求信号として供給される。

メモリ・バンク  $m, n$  のリフレッシュが完了すると、リフレッシュ完了信号は、リフレッシュ要求回路 1' にアクノリッジ信号 ACK として与えられる。これで一週のリフレッシュ動作は終了する。

リフレッシュ要求回路 1' は、内部で一定周期 T でリフレッシュ要求 Req を発生しており、バンク  $n$  制御回路  $M_n$  からアクノリッジ信号 ACK を検出し、かつリフレッシュ要求 Req を発生したことにより、バンク 1 制御回路  $M_1$  にリフレッシュ要求信号 Req1 を供給する。

第2図は、本発明回路の動作を表わすタイミング発生図である。

期間 A は、CPU からのメモリ・アクセスがなかった場合のリフレッシュ・タイミングであり、全てのメモリ・バンク  $m_1, m_2, \dots, m_n$  についてのリフレッシュが完了し、アクノリッジ信号 ACK とリフレッシュ要求 Req が発生すると、次のリフレッシュ・サイクル（期間 B）が開始する。

期間 B にて、リフレッシュが開始し、バースト・モード・アクセスのように例えばメモリ・バン

ク  $m, n$  に CPU から長時間アクセスがあったとすると、このメモリ・バンク  $m, n$  でリフレッシュは待たされるため、その分時間がかかる。しかし、複数バンクが同時にリフレッシュされることはない。

期間 C は、先にリフレッシュ要求 Req が発生し、遅れたアクノリッジ信号 ACK を検出してリフレッシュを行う場合である。途中でメモリ・アクセスがなければ総リフレッシュ時間は期間 A と同じである。

尚、リフレッシュ要求回路 1' で発生するリフレッシュ要求 Req の周期 T は、一般的には、約 15  $\mu s$  程度であり、通常は、リフレッシュ周期をバンク数で割った時間間隔でリフレッシュ要求を発生するように設計する。

#### < 発明の効果 >

以上述べたように、本発明のメモリ・リフレッシュ回路によれば次の効果を得ることができる。

(1) 複数のメモリ・バンクが同時にリフレッシュされることはないのでシステムに大電流が発生す

ることはなく、誤動作を防止できる。

(2) 全メモリ・バンクのリフレッシュ終了を表わすアクノリッジ信号がリフレッシュ要求回路内で周期的に発生するリフレッシュ要求より遅れても、次の周期で回復できる。

(3) 各メモリ・バンクの制御回路を 1 種類の回路で実現できるため、ASIC 化が容易である。

(4) メモリ・バンクが追加されても、チェーンの接続を変えるだけで済み、メモリ容量を容易に増減できる。

#### 4. 図面の簡単な説明

第1図は本発明を実施したメモリ・リフレッシュ回路の構成ブロック図、第2図は本発明回路の動作を表わすタイミング図、第3図は従来のメモリ・リフレッシュ回路の構成ブロック図、第4図は従来回路の動作を表わすタイミング図である。

1, 1' ... リフレッシュ要求回路、

$m_1$  ... メモリ・バンク 1、

$m_2$  ... メモリ・バンク 2、

$m_3$  ... メモリ・バンク 3、

$M_1$  ... バンク 1 制御回路、

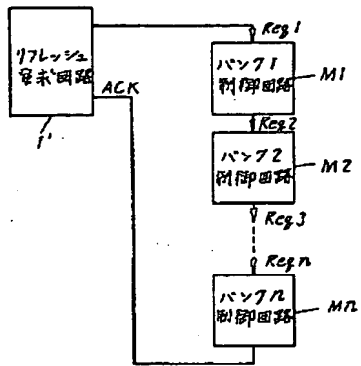
$M_2$  ... バンク 2 制御回路、

$M_n$  ... バンク  $n$  制御回路、

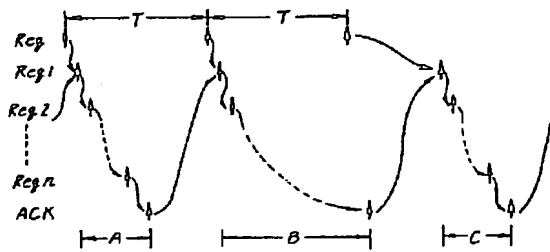
代理人 弁理士 小沢



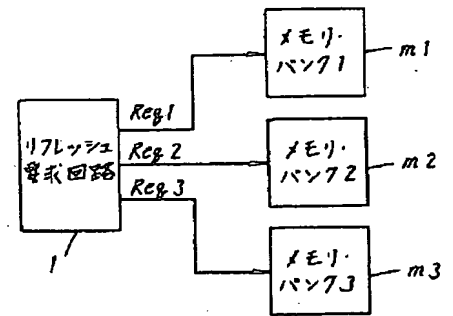
第 1 図



第 2 図



第 3 図



第 4 図

